

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183090

(P2000-183090A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.
H 01 L 21/60
21/312
23/12
23/29
23/31

識別記号

F I
H 01 L 21/92
21/312
23/12
23/30

6 0 2 L 4 M 1 0 9
N 5 F 0 5 8
L
Q
D

マーク (参考)

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21)出願番号

特願平10-351783

(22)出願日

平成10年12月10日 (1998.12.10)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 高尾 幸弘

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 塙田 徹哉

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

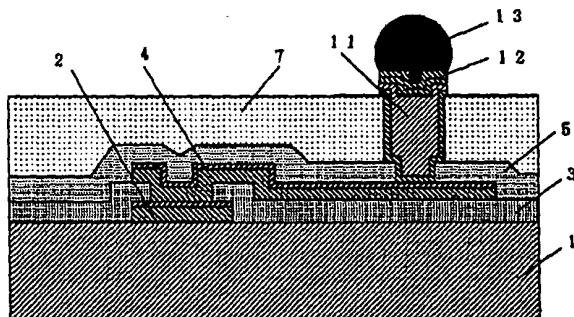
最終頁に続く

(54)【発明の名称】 チップサイズパッケージ及びその製造方法

(57)【要約】

【課題】チップサイズパッケージの信頼性を確保しながら、再配線層の形成工程を既存のSiウエーハプロセスの工程フロー内に含めること。

【解決手段】金属電極パッド2と半田バンプ13とを接続する配線層4をAl合金で形成する。これに伴って、Al合金から成る配線層4の機械的強度および耐湿性対策として、この配線層4をSiNなどのパッシバーション膜5で被覆する。配線層4とAl電極パッド2との間、配線層4と柱状電極11との間にはバリア層を形成する。これにより、信頼性を確保しながら配線層4を既存のSiウエーハプロセスの工程フロー内に含めことが可能になる。



13 : 半田バンプ

【特許請求の範囲】

【請求項1】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージにおいて、半導体基板上に形成されたA1合金層および第1のバリアメタル層から成る金属電極パッドと、前記金属電極パッド上に開口を有する層間絶縁膜と、A1合金層および第2のバリアメタル層から成る配線層と、全面を被覆するように形成され前記配線層上に第1の開口部が設けられたパッシベーション膜と、全面を被覆するように形成され前記第1の開口部上に第2の開口部を有するポリイミド層と前記第1および第2の開口部に形成された柱状端子とを有することを特徴とするチップサイズパッケージ。

【請求項2】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、半導体基板上にA1合金層および第1のバリアメタル層から成る金属電極パッドを形成する工程と、前記金属電極パッド上に開口を有する層間絶縁膜を形成する工程と、A1合金層および第2のバリアメタル層から成る配線層を形成する工程と、全面にパッシベーション膜を形成する工程と、前記配線層上の前記パッシベーション膜に第1の開口部を設ける工程と、全面にポリイミド層を形成する工程と、前記第1の開口部上の前記ポリイミド層に第2の開口部を設ける工程と、全面にC_uから成るメッキ用電極層を形成する工程と、電解メッキ法により前記第1および第2の開口部に柱状端子を形成する工程とを有することを特徴とするサイズパッケージの製造方法。

【請求項3】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、半導体基板上に形成されたA1合金層および第1のバリアメタル層から成る金属電極パッドと、前記金属電極パッド上に開口を有する層間絶縁膜と、A1合金層の单層から成る配線層と、全面を被覆するように形成され前記配線層上に第1の開口部が設けられたパッシベーション膜と、全面を被覆するように形成され前記第1の開口部上に第2の開口部を有するポリイミド層と、前記第1および第2の開口部に形成されたC_uから成る柱状端子と、前記柱状端子と前記配線層との間に形成された第2のバリアメタル層とを有することを特徴とするチップサイズパッケージ。

【請求項4】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆

する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、半導体基板上にA1合金層および第1のバリアメタル層から成る金属電極パッドを形成する工程と、前記金属電極パッド上に開口を有する層間絶縁膜を形成する工程と、A1合金層の单層から成る配線層を形成する工程と、全面にパッシベーション膜を形成する工程と、前記配線層上の前記パッシベーション膜に第1の開口部を設ける工程と、全面にポリイミド層を形成する工程と、前記第1の開口部上の前記ポリイミド層に第2の開口部を設ける工程と、前記第2の開口部上に第3の開口部を有するホトレジスト層を形成する工程と、全面にメッキ用電極層を形成する工程と、第3の開口部に開口を有するホトレジスト層を形成する工程と、電解メッキ法により前記第1および第2の開口部に柱状端子を形成する工程と、リフトオフにより前記ホトレジスト層およびメッキ用電極層を除去する工程とを有することを特徴とするサイズパッケージの製造方法。

【請求項5】前記配線層に平面でみて複数のスリットを設けたことを特徴とする請求項1または3に記載のチップサイズパッケージ。

【請求項6】前記ポリイミド層はネガ系ポリイミドから成ることを特徴とする請求項2または4に記載のサイズパッケージの製造方法。

【請求項7】前記A1合金層はA1-Si合金またはA1-Si-Cu合金であることを特徴とする請求項2または4に記載のチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップサイズパッケージ及びその製造方法に関する。チップサイズパッケージ(Chip Size Package)は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。

【0002】

【従来の技術】従来、この分野では、一般にBGA(Ball Grid Array)と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにしてPKG外形がチップサイズに近くなった構造等が知られている。

【0003】また、最近では、「日経マイクロデバイス」1998年8月号 44頁～71頁に記載されたウエハーカS Pがある。このウエハーカS Pは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウエハープロセス(前工程)で作り込むCSPである。この技術によって、ウエハープロセスとパッケージ・プロセス(後工程)が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。

【0004】ウエーハCSPの種類には、封止樹脂型と再配線型がある。このうち、再配線型は、図13に示すように、封止樹脂を使わず、再配線を形成した構造である。チップ51の表面にA1電極52、Cuから成る配線層53、絶縁層54が積層され、配線層53上にはメタル・ポスト55が形成され、その上に半田バンプ56が形成されている。配線層53は、半田バンプ56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0005】以下、従来のチップサイズパッケージの製造方法を図14乃至図17を参照しながら説明する。

【0006】図14に示すように、半導体基板61上にA1電極パッド62を形成し、これを覆うようにSiNから成るパッシベーション膜63を形成する。A1電極パッド62上には、後に形成する配線層との電気的接続をとるために開口を設ける。

【0007】そして、図15に示すように、全面にCrから成るバリア層64およびCuから成るメッキ用電極層65をスパッタ法により形成する。このバリア層64は、Cuから成る配線層67とA1電極パッド62との間に介在して、CuとA1が相互に侵入することを防止している。

【0008】次に、図16に示すように、メッキ用電極層65上の所定の領域にホトレジスト層66を形成し、電解メッキによりCuから成る配線層67を形成する。

【0009】そして、図17に示すように、配線層67をマスクにして、メッキ用電極層65およびバリア層66をウエットエッチングにより除去する。

【0010】

【発明が解決しようとする課題】上記従来技術のように、A1電極パッドと半田バンプとを接続する配線層の材料として、機械的強度、耐湿性などの信頼性確保の観点からCuを用いるられる。

【0011】しかしながら、Cuはエッチングが困難であることから、メッキ技術による成膜が必要であり、通常のSiウエーハプロセスで処理できない。本発明は、このような課題の鑑みてなされたものであり、再配線層の形成工程を既存のSiウエーハプロセスの工程フロー内に含めて、ウエーハCSPの製造工程を容易にし、かつ簡略化することを目的としている。

【0012】

【課題を解決するための手段】上記の課題を解決するために、本発明は金属電極パッドと半田バンプとを接続する再配線層をA1合金で形成する。これに伴って、A1合金から成る再配線層の機械的強度および耐湿性対策として、この配線層をSiNなどのパッシベーション膜で被覆する。再配線層とA1電極パッドとの間、再配線層と柱状電極との間にはバリア層を形成する。

【0013】これにより、信頼性を確保しながら再配線層を既存のSiウエーハプロセスの工程フロー内に含め

ることが可能になる。

【0014】また、再配線層に平面でみて複数のスリットを設けることにより、熱ストレスなどに対する機械的強度を向上することができる。

【0015】

【発明の実施の形態】次に、本発明の第1の実施例を図1乃至図7を参照しながら説明する。

【0016】まず、図1に示すように、半導体基板1上に、A1合金層と第1のバリアメタル層から成る金属電極パッド2を形成する。A1合金層は、例えば、スパッタ法により、A1-Si合金(Si:1%~2%)、A1-Si-Cu合金(Si:1%~2%, Cu:0.1%~0.5%)を堆積して形成する。第1のバリアメタル層としては、スパッタ法により、A1合金層の反射防止膜としても用いられるTiN層を形成する。そして、全面にSiO₂膜/SiN膜から成る層間絶縁膜3(膜厚:8000Å~10000Å)をCVD法により形成する。A1電極パッド2上には、後に形成する配線層4との電気的接続をとるために開口を設ける。

【0017】次に、図2に示すように、A1合金層と第2のバリア層から成る配線層4を形成する。第2のバリア層は、TiNから成り、後に形成する柱状端子と配線層4との間に介在して、バリアメタルの働きをする。配線層4は、上記開口を介して金属電極パッド2と接続される。この配線層4は、金属電極パッド2と同様のプロセスで形成することができる。

【0018】そして、全面にSiNから成るパッシベーション膜5(膜厚:8000Å~10000Å)をCVD法により形成する。金属電極パッド2上のパッシベーション膜5には第1の開口部6をエッチングにより設ける。

【0019】次に、図3に示すように、全面にポリイミド層7を塗布形成し、露光・現像処置により、第1の開口部6上の前記ポリイミド層7に第2の開口部8を設ける。ここで、後に形成する柱状端子をできるだけ長くするため、ポリイミド層7はできる限り厚く形成することが望まれる。そこで、ポリイミド層7は、感度の良いネガ系ポリイミドを用いるとよい。これにより、20μ~25μの膜厚を有するポリイミド層7を形成し、加工することができる。

【0020】次に、図4に示すように、Cuから成るメッキ用電極層9(膜厚:1000Å~2000Å)をスパッタ法により形成した後に、図5に示すように、第2の開口部6を露出させるように、ホトレジスト層10をメッキ用電極層9上に形成し、電解メッキにより、第1の開口部6および第2の開口部8にCuから成る柱状端子11(メタル・ポスト)を形成する。続いて、柱状端子11上に電解メッキにより、Au層/Ni層からなる第3のバリアメタル層12、半田バンプ13を形成する。

【0021】図6に示すように、ホトレジスト層10を除去し、さらにメッキ用電極層9の不要部分をエッチング除去する。この後、半導体基板1をスクライプ工程でチップに分割して、チップサイズパッケージを完成する。なお、半田バンプ13は、電解メッキで形成せず、半田を柱状端子11にSMT技術を用いて機械的に固着して形成してもよい。

【0022】図7は、チップサイズパッケージの平面図である。同図に示すように、半田バンプ13と金属電極パッド2とを接続する配線層4に複数のスリット14（配線層を貫通する孔）を設けることにより、熱ストレスなどに対する機械的強度を向上することができる。これは、配線層4自体だけでなく、配線層4の下層にあるLSIの配線やデバイスへのストレスを緩和する働きをする。このスリットは、配線層4をエッチングによりバターニングするときに同時に形成する。

【0023】次に、本発明の第2の実施例を図8乃至図12を参照しながら説明する。半導体基板上11上に金属電極層12、層間絶縁膜13、配線層14を形成するところは第1の実施例と同様である。この実施例では、配線層14をA1合金単層で構成したところが異なる。図8に示すように、全面にSiNから成るパッシベーション膜15（膜厚：8000Å～10000Å）をCVD法により形成する。金属電極パッド12上のパッシベーション膜15には第1の開口部16をエッチングにより設ける。

【0024】次に、図9に示すように、全面にポリイミド層17を塗布形成し、露光・現像処置により、第1の開口部16上の前記ポリイミド層17に第2の開口部18を設ける。ここで、ポリイミド層17として、第1の実施例と同様の理由によりネガ系ポリイミドを用いるといよい。

【0025】次に、図10に示すように、第2の開口部18上に第3の開口部19を有するホトレジスト層20を形成した後に、メッキ用電極層21をスパッタ法により形成する。メッキ用電極層21は、Cu層/Cr層の2層構造から成り、配線層14と後に形成する柱状端子23との間に介在する部分が第2のバリアメタル層24として働く。

【0026】次に、図11に示すように、さらにホトレジスト層22を形成し、柱状端子形成領域を画定した後に、電解メッキにより、Cuから成る柱状端子23、Au層/Ni層から成る第3のバリアメタル層25を形成する。ここでは、いわゆるリフトオフ法を用いている。これは、通常のエッチングでは、上記のCr層が除去困難だからである。

【0027】次に、図12に示すように、リフトオフにより、ホトレジスト層20、22を除去すると同時にメッキ用電極層21の不要部分を除去する。以下の工程は、第1の実施例と同様のため省略する。

【0028】

【発明の効果】本発明によれば、チップサイズパッケージの信頼性を確保しながら、金属電極パッドとアレイ状に配置される半田バンプとを結線する再配線層の形成工程を既存のSiウエーハプロセスの工程フロー内に含めることができることになり、工程の簡略化、後工程と前工程の一体化を促進することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図2】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図3】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図4】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図5】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図6】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図7】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す平面図である。

【図8】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図9】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図10】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図11】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図12】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す断面図である。

【図13】従来例に係るチップサイズパッケージの製造方法を示す断面図である。

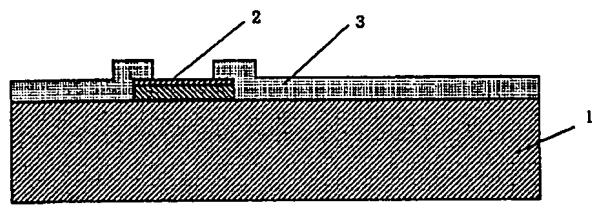
【図14】従来例に係るチップサイズパッケージの製造方法を示す断面図である。

【図15】従来例に係るチップサイズパッケージの製造方法を示す断面図である。

【図16】従来例に係るチップサイズパッケージの製造方法を示す断面図である。

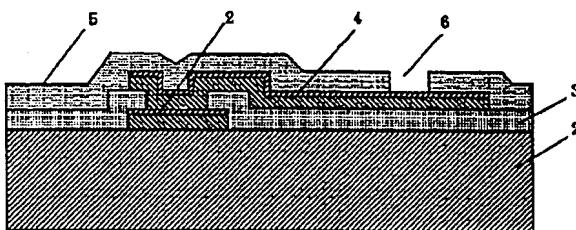
【図17】従来例に係るチップサイズパッケージの製造方法を示す断面図である。

【図1】



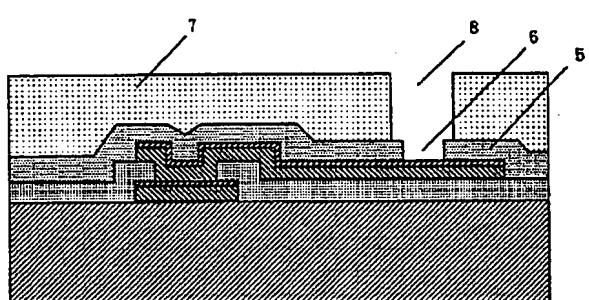
1 : 半導体基板
2 : 金属電極パッド
3 : 層間絶縁膜

【図2】



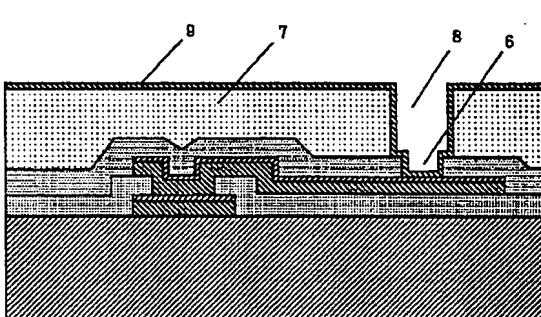
4 : 配線層
5 : パッシベーション膜
6 : 第1の開口部

【図3】



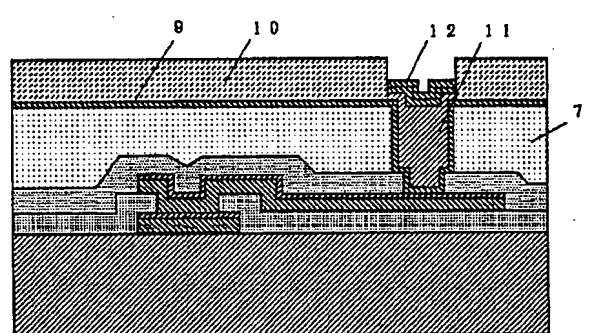
7 : ポリイミド層
8 : 第2の開口部

【図4】



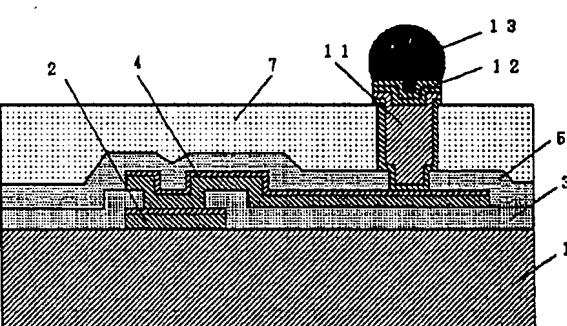
8 : メッキ用電極層

【図5】



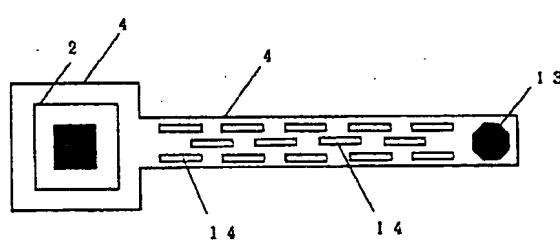
9 : ホトレジスト層
10 : 柱状端子
11 : 第3のバリアメタル層

【図6】



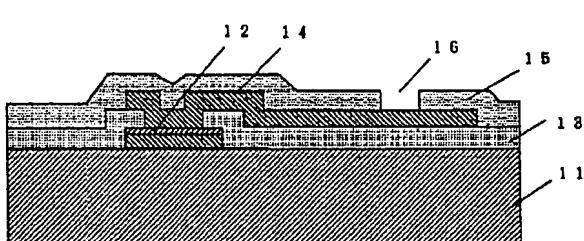
13 : 半田バンプ

【図7】



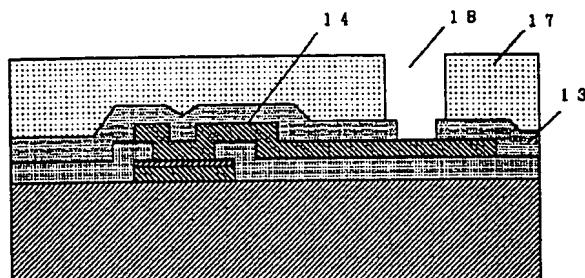
14 : スリット

【図8】



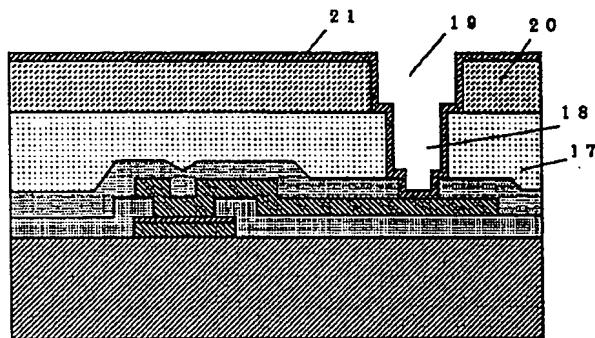
11 : 半導体基板
12 : 金属電極パッド
13 : 層間絶縁膜
14 : 配線層
15 : パッシベーション膜
16 : 第1の開口部

【図9】



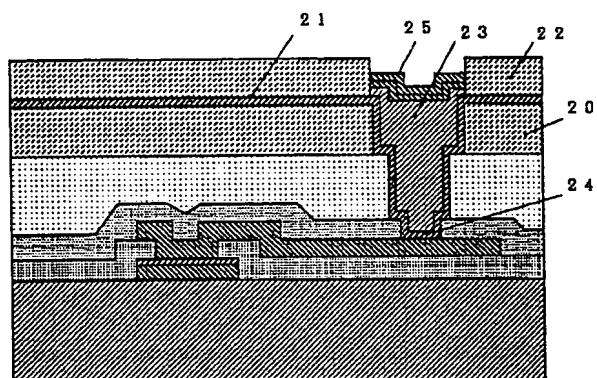
17:ポリイミド層 18:第2の開口部

【図10】



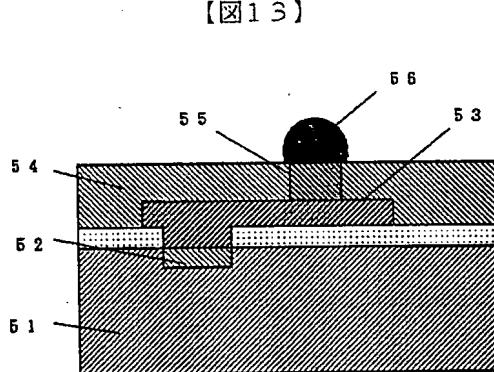
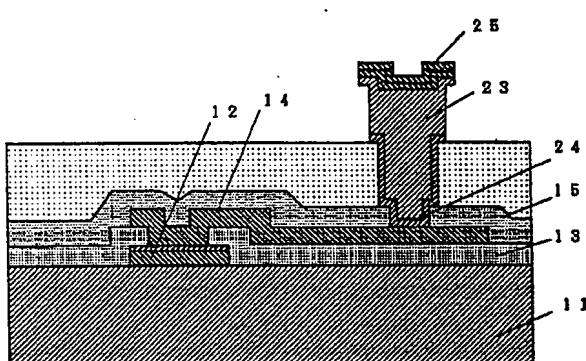
19:第3の開口部 20:ホトレジスト層
21:マッキ用電極層

【図11】

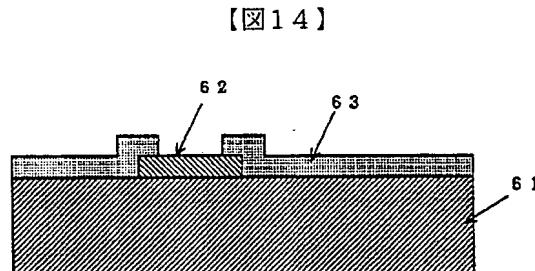
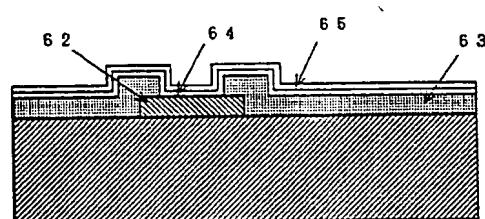


22:ホトレジスト層 23:柱状端子
24:第2のバリアメタル層 25:第3のバリアメタル層

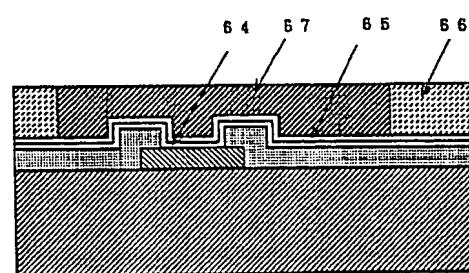
【図12】



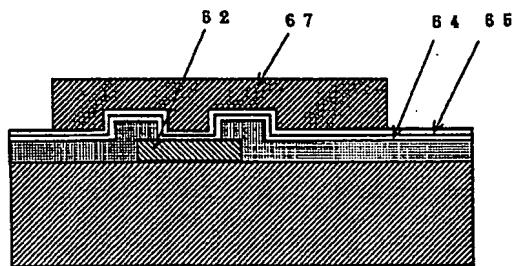
【図15】



【図16】



【図17】



フロントページの続き

F ターム(参考) 4M109 AA02 DB17 ED03 ED05
5F058 AA02 AC02 AD02 AD04 AD10
AD11 AF04 AG02 AH02 BA07
BC07 BC11 BD01 BD03 BD05
BD09 BF03 BH10 BJ02 BJ03